

?S PN=JP 11074648
S2 1 PN=JP 11074648
?T S2/5

2/5/1

DIALOG(R)File 352:DERWENT WPI

(c) 1999 Derwent Info Ltd. All rts. reserv.

012444930 **Image available**

WPI Acc No: 99-251038/199921

XRPX Acc No: N99-187648

Wiring board for portable information terminal, notebook personal computer, portable telephone - includes internal wiring circuit layer to which electronic components are connected via inner wall of through holes and/or non-through holes formed on insulated substrate

Patent Assignee: KYOCERA CORP (KYOC)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 11074648	A	19990316	JP 97231217	A	19970827	H05K-003/46	199921 B

Priority Applications (No Type Date): JP 97231217 A 19970827

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
JP 11074648	A		7			

Abstract (Basic): JP 11074648 A

NOVELTY - Capacitor (7) and resistor (8) are held in through hole (5) and/or non-through hole (6) that are formed on an insulated substrate (2). The capacitor and resistor are connected electrically with internal wiring circuit layer (3b) via inner wall of holes. Wiring layers (1a, 1b) of multilayered body are mutually connected at boundary portion.

USE - For portable information terminal, notebook personal computer, portable telephone.

ADVANTAGE - Offers compact wiring board with light weight thereby suits for compact electric equipments. DESCRIPTION OF DRAWING(S) - The figure shows schematic sectional view of wiring board. (1a, 1b) Wiring layers; (2) Insulated substrate; (3b) Internal wiring circuit layer; (5) Through hole; (6) Non-through hole; (7) Capacitor; (8) Resistor.

Dwg. 1/3

Title Terms: WIRE; BOARD; PORTABLE; INFORMATION; TERMINAL; PERSON; COMPUTER
: PORTABLE; TELEPHONE; INTERNAL; WIRE; CIRCUIT; LAYER; ELECTRONIC;
COMPONENT; CONNECT; INNER; WALL; THROUGH; HOLE; NON; THROUGH; HOLE;
FORMING; INSULATE; SUBSTRATE

Derwent Class: T01; V04; W01

International Patent Class (Main): H05K-003/46

International Patent Class (Additional): H05K-001/18

File Segment: EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

23714648

(11) 特許出願公開番号

特開平11-74648

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl.⁶

H 0 5 K 3/46

識別記号

1/18

F I

H 0 5 K 3/46

1/18

Q

N

T

P

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平9-231217

(22) 出願日 平成9年(1997) 8月27日

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田鳥羽殿町6番地

(72) 発明者 林 桂

鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

(72) 発明者 佐藤 恒

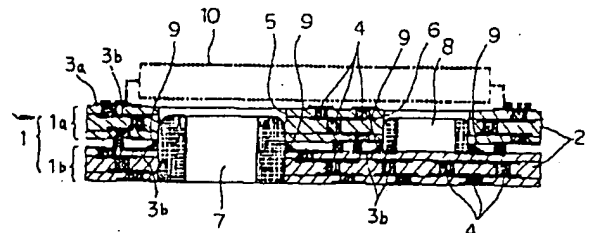
鹿児島県国分市山下町1番1号 京セラ株式会社鹿児島国分工場内

(54) 【発明の名称】 配線基板

(57) 【要約】

【課題】 コンデンサや抵抗素子などの電子部品を搭載しつつも、小型、軽量化ならびに薄型化が可能な配線基板を提供する。

【解決手段】 少なくとも有機樹脂を含む絶縁基板2と、絶縁基板2の表面および内部に配設された配線回路層3とを具備する配線基板1において、絶縁基板2に貫通孔5および/または非貫通孔6を形成して孔内にコンデンサ7や抵抗素子8などを収納支持するとともに、これら電子部品を孔5、6の内壁を通じて内部配線回路層3bと電気的に接続し、さらには、孔5、6形成部を含む配線基板表面に半導体装置10を実装する。



【特許請求の範囲】

【請求項 1】 少なくとも有機樹脂を含む絶縁基板と、該絶縁基板の表面および内部に配設された配線回路層とを具備する配線基板において、前記絶縁基板に貫通孔および／または非貫通孔を形成して該孔内に電子部品を収納支持するとともに、前記電子部品を前記孔の内壁を通じて前記内部配線回路層と電気的に接続したことを特徴とする配線基板。

【請求項 2】 前記配線基板を、前記電子部品と前記内部配線回路層との接続部を境界として、第 1 の配線層と第 2 の配線層との積層体によって構成し、該第 1 の配線層と第 2 の配線層とを前記境界部において相互に接続してなることを特徴とする請求項 1 記載の配線基板。

【請求項 3】 前記貫通孔形成部および／または非貫通孔形成部を含む配線基板表面に半導体装置を実装してなる請求項 1 または請求項 2 記載の配線基板。

【請求項 4】 少なくとも有機樹脂を含む絶縁基板と、該絶縁基板の表面および内部に配設された配線回路層とを具備する配線基板において、前記絶縁基板に貫通孔および／または非貫通孔を形成して、該孔内に該孔径と実質的に同じ径を有する電子部品を収納支持するとともに、前記電子部品を前記配線回路層と電気的に接続してなることを特徴とする配線基板。

【請求項 5】 前記貫通孔形成部および／または非貫通孔形成部を含む配線基板表面に半導体装置を実装してなる請求項 4 記載の配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば、携帯情報端末やノートパソコン、携帯電話などの小型軽量の電気機器に搭載される配線基板に関するものである。

【0002】

【従来技術】 近年、携帯情報端末やノートパソコンなどの電子機器は、ますます高機能課し、しかも小型軽量化が求められている。また、マルチメディアの普及に伴い、取り扱う情報量が飛躍的に拡大し、このため信号周波数が高周波化する傾向にある。このような小型軽量化、高周波での信号処理が必要が基板として現在最も注目されているのは、ビルドアップ法と呼ばれる逐次積層技術である。

【0003】 この方法は、通常のプリント基板の表面に、感光性樹脂の塗布、露光、現像処理による絶縁層の形成と、めっきなどの金属薄膜による配線回路層やビア導体の形成を交互に行って多層化する方法であり、最近では、この方法によって作製した基板を用いて絶縁基板表面に多数の半導体素子を搭載したマルチチップモジュール (MCM) 等への適用も検討されている。

【0004】 また、一般には、コンデンサや抵抗素子などの電子部品を配線基板に実装する場合には、図 3 に示すように、上記のビルドアップ法などにより形成された

配線基板 31 の表面の配線回路層 32 に、コンデンサ 33 や抵抗素子 34、あるいは半導体素子を収納したパッケージ 35 などを半田などにより実装することが行われている。

【0005】 また最近では、電子機器の小型化、軽量化のために、コンデンサや抵抗素子などを配線基板表面や内部にて厚膜 (印刷) 法やスパッタリングなどの薄膜法などによって抵抗体や誘電体を形成する方法が内蔵化することも提案されている。

【0006】

【発明が解決しようとする課題】 しかしながら、ビルドアップ法によって作製される基板は厚く、さらには、コンデンサや抵抗素子などの電子部品を表面に搭載すると、ビルドアップ法による微細配線の効果が薄れてしまうという問題があった。

【0007】 それは、ビルドアップ法は、プリント基板の表面に絶縁層と配線層とを順次積層していく技術であって、中心となるコア基板は、ビルドアップ時のコア基板の安定性や、配線基板全体のそりや変形を防止するために、ある程度の厚みが要求される結果、通常約 1mm 以上の厚さのコア基板を必要とするために、ビルドアップ法により作製される基板の厚みは 1mm よりも薄くなることはなかった。

【0008】 また、コンデンサや抵抗素子などの電子部品を配線基板に搭載する場合において、配線基板の表面にて半田により表面実装した構造では、配線基板に対して個々の電子部品やパッケージを表面実装するための所定の面積を確保する必要があり、配線基板の小型化にはおのずと限界があった。

【0009】 また、絶縁基板表面や内部にて厚膜 (印刷) 法やスパッタリングなどの薄膜法などによって抵抗体や誘電体を形成する方法は、電子機器の小型化、軽量化には有利であるが、情報量の飛躍的増大と、信号の高周波化に伴い、抵抗素子やコンデンサに対しても種々の特性が要求されており、これらの特性に対しては厚膜法や薄膜法によっては、それら要求される特性を満足し得る素子を安定に歩留りよく形成することが非常に困難であり、しかも製造工程が煩雑となったり、コスト高となるなどの問題があった。

【0010】 従って、本願発明は、コンデンサや抵抗素子などの電子部品を搭載しつつも、小型、軽量化ならびに薄型化が可能な配線基板を提供することを目的とするものである。

【0011】

【課題を解決するための手段】 本発明者らは、上記の課題に対して検討を重ねた結果、配線基板の所定箇所に電子部品を収納するための貫通孔および／または非貫通孔を形成して、その孔内に電子部品を収納して、配線基板に設けられた配線回路層と接続することにより、要求特性を満足する電子部品を配線基板に対して小型、軽量化

つ薄型化した状態で搭載できることを見いだした。

【0012】即ち、本発明の配線基板は、少なくとも有機樹脂を含む絶縁基板と、該絶縁基板の表面および内部に配設された配線回路層とを具備するものであって、前記絶縁基板に貫通孔および／または非貫通孔を形成して該孔内に電子部品を収納支持するとともに、前記電子部品を前記孔の内壁を通じて前記内部配線回路層と電気的に接続したことを特徴とするものである。

【0013】また、この配線基板によれば、前記配線層を、前記電子部品と前記内部配線回路層との接続部を境界として、第1の配線層と第2の配線層との積層体によって構成し、該第1の配線層と第2の配線層とを前記境界部において相互に接続してなること、前記貫通孔形成部および／または非貫通孔形成部を含む配線基板表面に半導体装置を実装してなることを特徴とするものである。

【0014】また、本発明の配線基板は、少なくとも有機樹脂を含む絶縁基板と、該絶縁基板の表面および内部に配設された配線回路層とを具備するものであって、前記絶縁基板に貫通孔および／または非貫通孔を形成して、該孔内に該孔径と実質的に同じ径を有する電子部品を収納支持するとともに、前記電子部品を前記配線回路層と電気的に接続してなることを特徴とするものであり、また、前記貫通孔形成部および／または非貫通孔形成部を含む配線基板表面に半導体装置を実装してなることを特徴とする。

【0015】

【発明の実施の形態】以下、本発明を図面をもとに説明する。図1は、本発明の一実施例を示す配線基板の概略断面図である。

【0016】図1の配線基板1によれば、絶縁基板2の表面や内部には、表面配線回路層3a、内部配線回路層3bが配設され、場合によって、異なる層間の配線回路層を接続するためのビアホール導体4を具備するものである。本発明によれば、この絶縁基板2の所定箇所に表面から裏面まで貫通するように形成された貫通孔5、または絶縁基板の一方の表面に形成され、裏面まで貫通しない非貫通孔6が形成され、それらの孔5、6内にチップコンデンサ7やチップ抵抗素子8が収納されている。

【0017】そして、チップコンデンサ7やチップ抵抗素子8等の電子部品は、孔5、6の内壁を通じて絶縁基板2の内部に形成された内部配線回路層3bと電気的に接続されている。具体的には、この配線基板1は、第1の配線層1aと第2の配線層1bの積層体によって構成されており、その積層境界部に位置する内部配線回路層3bと半田などの導電性接着材9により電気的に接続されている。即ち、厚みが最も大きいチップコンデンサ7は、貫通孔5の内壁のうち、特に側壁を通じて内部配線回路層3bと接続され、厚みが薄いチップ抵抗素子8は、非貫通孔6を内壁のうち、底壁を通じて内部配線回

路層3bと接続されている。

【0018】薄型軽量の配線基板においては、特に曲げ変形が大きくなり、これにより電子部品と基板との接続部の断線が生じやすくなる傾向にある。特に、配線基板の表面においては変形による歪みが最も大きくなるために、配線基板表面にて配線回路層と接続されると、断線が生じやすい。そこで、本発明によれば、変形による歪みの発生の最も小さい配線基板内部にて、電子部品を孔の内壁を通じて内部配線回路層3bと接続することにより、電子部品を配線基板1に対して強固に接続することができる。

【0019】また、貫通孔5および非貫通孔6は、その内径が、孔内に収納されるチップコンデンサ7や抵抗素子8などの電子部品の大きさとほぼ同じとなるように形成されている。この場合、孔5、6の内径は、電子部品が直方体の場合には、長さ、幅のうちの少なくとも一方、電子部品が円柱体の場合には、その外径と実質的に同一であるのがよい。「実質的に同一」とは、具体的には、電子部品の上記サイズが対向する孔の内径に対して0.9~1.1倍であることを意味する。特に、孔の内径に対して、1.0倍よりも大きい場合には、絶縁基板2から電子部品に対して圧縮応力が加わり、電子部品を強固に収納支持することができる。但し、1.1倍を越えると、応力が大きくなり、絶縁基板2や電子部品が破損するなどの問題が起きやすくなる。また、電子部品のサイズが0.9倍よりも小さいと、配線回路層3との接続が制限されたり、難しくなり、さらには、配線基板の小型化を阻害する。

【0020】また、かかる構成においては、絶縁基板2の厚さTは、孔内に収納されたチップコンデンサ7やチップ抵抗素子8などの電子部品のうち最も厚い電子部品の厚さtに対して、 $t = T$ 、または $T > t$ とし、配線基板の薄型化を考慮する場合には、 $t \leq T \leq 1.3t$ であることが望ましい。 $T < t$ では、収納した電子部品が配線基板の表面から突出した状態となり、配線基板表面にさらに他の電子部品や半導体装置を搭載することが難しくなったり、突出した電子部品に外的衝撃が加わりやすくなり、それにより電子部品が損傷するなどの問題が生じやすくなる。

【0021】また、配線基板の薄型化を考慮した場合、最も厚い電子部品を収納する孔を貫通孔によって形成し、それよりも厚さが非常に薄い他の電子部品を収納する孔を非貫通孔として形成することが望ましい。また、搭載する電子部品の厚さが同じ場合には、すべて貫通孔を形成して収納すればよい。

【0022】このように、収納する電子部品のサイズと、収納する孔のサイズとの関係を上記のように設定することにより、孔内に収納される電子部品自体が、配線基板を形づくる基板の一部を形成するとともに、チップコンデンサ7やチップ抵抗素子8が配線基板1の表面か

ら突出しない、薄型の配線基板を作製することができ、その結果、電子部品を搭載した厚さが1mm以下のカード状の配線基板をも容易に形成することも可能となる。

【0023】また、場合によっては、チップコンデンサ7やチップ抵抗素子8が収納された貫通孔5や非貫通孔6形成部の表面にて、図1の破線にて示すように、該形成部を跨ぐようにして半導体装置10を配線基板1の表面配線回路層3aに実装することもでき、これにより省スペース化による配線基板の小型化および薄型化が可能となる。

【0024】なお、貫通孔または非貫通孔に収納する電子部品としては、上記のチップコンデンサやチップ抵抗素子に限定されることなく、フィルター素子や、VCO、TCXOなどの水晶振動子、圧電振動子、メモリー、MPUなどの半導体素子を収納することも可能である。

【0025】次に、本発明の配線基板を作製するための1つの具体的な方法について図2の工程図をもとに説明する。まず、図2(a)に示すように、熱硬化性樹脂を含む複数の絶縁層11を積層し、その表面および/または内部に表面配線回路層12a、内部配線回路層12bとビアホール導体13を形成した第1の配線層14を作製する。この時、第1の配線層14の表面配線回路層12aの一部として、後述する第2の配線層との電気的な接続を担うための、例えばバンプ15を形成する。

【0026】この第1の絶縁層14は、例えば、軟質(Bステージ状態)の絶縁シートにスルーホールを形成し、そのスルーホール内に金属粉末を含む導体ペーストをスクリーン印刷や吸引処理しながら充填して、ビアホール導体13を形成した後、その表面に配線回路層12を形成したものを位置合わせして多層に積層することにより形成される。配線回路層12の形成方法としては、1) 絶縁シートの表面に金属箔を貼り付けた後、エッチング処理して回路パターンを形成する方法、2) 絶縁シート表面にレジストを形成して、メッキにより形成する方法、3) 転写フィルム表面に金属箔を貼り付け、金属箔をエッチング処理して回路パターンを形成した後、この金属箔からなる回路パターンを絶縁シート表面に転写させる方法等が挙げられる。

【0027】なお、ビアホール導体13は、配線回路層12を形成した絶縁シートを積層後にホール形成後、ホール内をメッキ処理することにより形成することも可能である。

【0028】第1の配線基板は、Bステージ状態のまま次工程に入ってもよく、また、ここで一度樹脂を硬化させてもよい。樹脂を硬化させると基板の変形が少ないので大型基板の作製が容易となる。また、Bステージのまま後述する図2(c)の工程を行えば、コストダウンとなる。

【0029】次に、図2(b)に示すように、第1の配

線層14に対して、前述したサイズの電子部品を収納するための貫通孔16をレーザービーム、パンチングなどにより形成する。

【0030】そして、図2(c)に示すように、第1の配線層14に形成した貫通孔16内に、チップコンデンサ17を収納するとともに、そのチップコンデンサ17の端子電極18と、第1の配線層14の表面配線回路層12aとを半田や銀ペーストなどの導電性接着材19によって電気的に接続するとともに、第1の配線層14に電子部品を固定する。また、同時に、第1の配線層14の表面に、チップコンデンサ17よりも厚みの小さいチップ抵抗素子20を、銀ペースト、半田などの導電性接着材19によって表面配線回路層12aと電気的に接続する。

【0031】次に、図2(d)に示すように、第1の配線層14と同様な方法にして、ビアホール導体21、表面配線回路層22a、内部配線回路層22bを形成した第2の配線層23を作製し、この配線層23に対して、チップコンデンサ17とチップ抵抗素子20を収納するための貫通孔24、25を形成する。

【0032】そして、図2(e)に示すように、図2(c)にて、電子部品を収納または実装した第1の配線層14に対して、配線回路層や貫通孔24、25内に電子部品が収納されるように位置合わせしてして積層する。この時、第1の配線層14と第2の配線層23との電気的な接続は、第1の配線層14の表面に形成した、例えばバンプ15を経由して第2の配線層23との配線回路層22と電気的に接続される。基板の接続は、第1および第2の絶縁基板が完全硬化している場合には、積層物を200~250℃で処理してバンプ15を溶融させて相互の配線回路層の接続を行う。また、各配線層がBステージ状態の場合には、銅ペースト等を接続部分に塗布後、180~250℃程度で加熱しながら、10~40kg/cm²の圧力で加圧することにより電気的接続を行うことができる。

【0033】このようにして、チップコンデンサ17は、第1の配線層14の貫通孔16と第2の配線層23の貫通孔24内に収納されるとともに、第1の配線層14と第2の配線層23間の境界部にて、第1の配線層14に形成された表面配線回路層12aと電気的に接続され、一方、チップ抵抗素子20は、第2の配線層23の貫通孔25と第1の配線層14によって底壁が形成された非貫通孔内に収納されるとともに、第1の配線層14と第2の配線層23間の境界部にて、第1の配線層14に形成された表面配線回路層12aと電気的に接続されることになり、図1の配線基板を作製することができる。

【0034】上記の製造方法において、用いられる熱硬化性樹脂を含有する絶縁シートは、熱硬化性有機樹脂、または熱硬化性有機樹脂とフィラーなどの組成物を混練

機や3本ロールなどの手段によって十分に混合し、これを圧延法、押し出し法、射出法、ドクターブレード法などによってシート状に成形する。そして、所望により熱処理して熱硬化性樹脂を半硬化させる。半硬化には、樹脂が完全硬化するに十分な温度よりもやや低い温度に加熱する。

【0035】そして、この状態の絶縁層に対するスルーホール（ビアホール）および空隙部の形成は、ドリル、パンチング、サンドブラスト、あるいは炭酸ガスレーザ、YAGレーザ、及びエキシマレーザ等の照射による加工など公知の方法が採用される。

【0036】なお、絶縁シートを形成する熱硬化性樹脂としては、絶縁材料としての電気的特性、耐熱性、および機械的強度を有する熱硬化性樹脂であれば特に限定されるものでなく、例えば、アラミド樹脂、フェノール樹脂、エポキシ樹脂、イミド樹脂、フッ素樹脂、フェニレンエーテル樹脂、ビスマイレイドトリアジン樹脂、ユリア樹脂、メラミン樹脂、シリコン樹脂、ウレタン樹脂、不飽和ポリエステル樹脂、アクリル樹脂等が、単独または組み合わせて使用できる。

【0037】また、上記の絶縁シート中には、絶縁基板あるいは配線基板全体の強度を高めるために、有機樹脂に対してフィラーを複合化させることもできる。有機樹脂と複合化されるフィラーとしては、 SiO_2 、 Al_2O_3 、 ZrO_2 、 TiO_2 、 AlN 、 SiC 、 BaTiO_3 、 SrTiO_3 、ゼオライト、 CaTiO_3 、ほう酸アルミニウム等の無機質フィラーが好適に用いられる。また、ガラスやアラミド樹脂からなる不織布、織布などに上記樹脂を含浸させて用いてもよい。なお、有機樹脂とフィラーとは、体積比率で15:85~70:30の比率で複合化されるのが適当である。

【0038】これらの電気素子を収納するための空隙部を形成する絶縁シートは、上記の種々の材質の中でも空隙部をパンチング又はレーザで容易に加工できる点から、エポキシ樹脂、イミド樹脂、フェニレンエーテル樹脂と、シリカまたはアラミド不織布との混合物であることが最も望ましい。

【0039】一方、ビアホール導体4に充填される金属ペーストは、銅粉末、銀粉末、銀被覆銅粉末、銅銀合金などの、平均粒径が0.5~50 μm の金属粉末を含む。金属粉末の平均粒径が0.5 μm よりも小さいと、金属粉末同士の接触抵抗が増加してスルーホール導体の抵抗が高くなる傾向にあり、50 μm を越えるとスルーホール導体の低抵抗化が難しくなる傾向にある。

【0040】また、導体ペーストは、前述したような金属粉末に対して、前述したような結合用有機樹脂や溶剤を添加混合して調製される。ペースト中に添加される溶剤としては、用いる結合用有機樹脂が溶解可能な溶剤であればよく、例えば、イソプロピルアルコール、テルピネオール、2-オクタノール、ブチルカルビトールアセ

テート等が用いられる。

【0041】上記の導体ペースト中の結合用有機樹脂としては、前述した種々の絶縁シートを構成する有機樹脂の他、セルロースなども使用される。この有機樹脂は、前記金属粉末同士を互いに接触させた状態で結合するとともに、金属粉末を絶縁シートに接着させる作用をなしている。この有機樹脂は、金属ペースト中において、0.1乃至40体積%、特に0.3乃至30体積%の割合で含有されることが望ましい。これは、樹脂量が0.1体積%よりも少ないと、金属粉末同士を強固に結合することが難しく、低抵抗金属を絶縁層に強固に接着させることが困難となり、逆に40体積%を越えると、金属粉末間に樹脂が介在することになり粉末同士を十分に接触させることが難しくなり、スルーホール導体の抵抗が大きくなるためである。

【0042】配線回路層としては、銅、アルミニウム、金、銀の群から選ばれる少なくとも1種、または2種以上の合金からなることが望ましく、特に、銅、または銅を含む合金が最も望ましい。また、場合によっては、導体組成物として回路の抵抗調整のためにNi-Cr合金などの高抵抗の金属を混合、または合金化してもよい。さらには、配線層の低抵抗化のために、前記低抵抗金属よりも低融点の金属、例えば、半田、錫などの低融点金属を導体組成物中の金属成分中に2~20重量%の割合で含んでもよい。また、ビアホール導体の両端を金属箔からなる配線回路層によって封止する上では、配線回路層12a、12bの厚みは5~40 μm が適当である。

【0043】

【実施例】

実施例1

アラミド樹脂の不織布に対してイミド樹脂を50体積%の割合で含浸した厚さ200 μm のプリプレグ(A)に、炭酸ガスレーザで直径0.1mmのビアホールを形成し、そのホール内に銀をメッキした銅粉末を含む銅ペーストを充填してビアホール導体を形成した。

【0044】また、イミド樹脂50体積%、シリカ粉末50体積%の割合となるように、ワニス状態の樹脂と粉末を混合しドクターブレード法により、厚さ75mmの絶縁シート(B)を作製し、その絶縁シート(B)にパンチングで直径0.1mmのビアホールを形成し、そのホール内に銀をメッキした銅粉末を含む銅ペーストを充填してビアホール導体を形成した。

【0045】一方、ポリエチレンテレフタレート(PET)樹脂からなる転写シートの表面に接着剤を塗布し、厚さ9 μm 、表面粗さ0.8 μm の銅箔を一面に接着した。

【0046】その後、フォトリソストを塗布し露光現像を行った後、これを塩化第二鉄溶液中に浸漬して非パターン部をエッチング除去して配線回路層を形成した。なお、作製した配線回路層は、線幅が25 μm 、配線と配

線との間隔が25 μ mの微細なパターンである。

【0047】そして、前記プリブレグ(A)と、表面に配線回路層を形成したPET樹脂を位置合わせして密着させ、転写シートのみを剥離して配線回路層をプリブレグ(A)の表面に転写させた。また、同様にして、絶縁シート(B)の表面にも、配線回路層を形成した。

【0048】その後、配線回路層を形成したプリブレグ(A)を中心に、表裏に配線回路層を形成した絶縁シート(B)をそれぞれ1層積層して30kg/cm²の圧力で圧着し、200℃で1時間加熱して完全硬化させて第1の配線層を形成した。そして、この第1の配線層に炭酸ガスレーザーで1.1×0.6mmの貫通孔aを開けた。なお、第2の配線層との接続のために、第1の配線層の表面に、半田ペーストを所定箇所に印刷した。

【0049】また、上記と全く同様な方法で、第2の配線層を作製し、同様に、炭酸ガスレーザーで1.1×0.6mmの貫通孔aと、1.1×0.3mmの貫通孔bを開けた。

【0050】次に、第1の配線層の貫通孔aに1005型(1.0×0.5×0.5mm)のセラミック製チップコンデンサを収納して第1の配線層の表面の配線回路層とコンデンサの端子電極とを半田付けした。また、第1の配線層の表面に同様に0603型(0.6×0.3×0.3mm)のチップ抵抗素子を半田実装した。その後、この第1の配線層に対して、第2の配線層の貫通孔aにチップコンデンサが収納されるように、また貫通孔bにチップ抵抗素子が収納されるように位置合わせして重ね合わせて、180℃で30秒加熱して半田付けした。そして、最後に、貫通孔を跨ぐようにクワッドフラット型(QFP)の半導体素子を収納したパッケージ(半導体装置)を配線基板表面の配線回路層に半田によって接続した。

【0051】得られた配線基板に対して、断面における配線回路層やビアホール導体の形成付近を観察した結果、配線回路層、ビアホール導体およびコンデンサとは良好な接続状態であり、各配線回路層間の導通テストを行った結果、配線の断線も認められなかった。

【0052】実施例2

本発明に従い、実施例1と同様にして、幅40mm、長さ100mmの大きさの多層配線基板の中央部に形成した貫通孔に1005型のチップコンデンサを内蔵し、そのコンデンサを実施例1と同様にして、配線基板の内部の配線回路層と貫通孔の側壁を介して半田により接続した。

【0053】また、比較例aとして、貫通孔を形成しない以外は、実施例1と全く同様にして作製した多層配線基板の表面中央の配線回路層に1005型のチップコンデンサを半田実装した。

【0054】さらに、比較例bとして、実施例1と同様にして、多層配線基板の中央部に形成した貫通孔に1005型チップコンデンサを内蔵するものの、このコンデンサを配線基板の表面の配線回路層に半田付けした。

【0055】上記の3つのチップコンデンサを内蔵した多層配線基板に対して、両端を2mm変位させる曲げ試験を行った結果、比較例aの基板では、150サイクルで比較例bでは、200サイクルでコンデンサの接続不良が発生したが、本発明の配線基板は500サイクル終了後においても内蔵するコンデンサとの接続不良も全く認められず、優れた接続性を示した。

【0056】

【発明の効果】以上詳述したとおり、本発明によれば、コンデンサや抵抗素子などの電子部品を絶縁基板に形成した貫通孔または非貫通孔内に収納して配線回路層と電気的に接続することにより、電子部品を搭載した配線基板の小型、軽量および薄型化を達成することができることから、携帯情報端末やノートパソコン、携帯電話などの小型軽量の電気機器に適した配線基板を提供できる。

【図面の簡単な説明】

【図1】本発明の配線基板の一実施例を示す配線基板の概略断面図である。

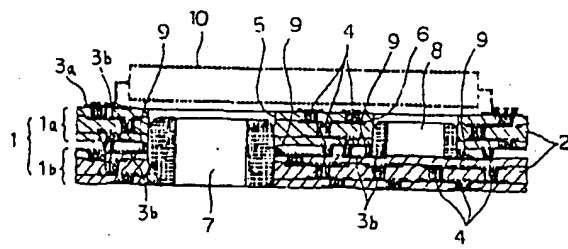
【図2】図1の配線基板を製造する方法を説明するための工程図である。

【図3】従来技術を説明するための概略断面図である。

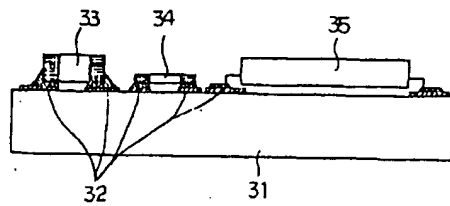
【符号の説明】

- 1 配線基板
- 1a 第1の配線層
- 1b 第2の配線層
- 2 絶縁基板
- 3a 表面配線回路層
- 3b 内部配線回路層
- 4 ビアホール導体
- 5 貫通孔
- 6 非貫通孔
- 7 チップコンデンサ
- 8 チップ抵抗素子
- 9 導電性接着材
- 10 半導体装置

【図 1】



【図 3】



【図 2】

